

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200097

(43)Date of publication of application : 31.07.1998

(51)Int.CI. H01L 29/78  
H01L 21/336  
H01L 21/8238  
H01L 27/092

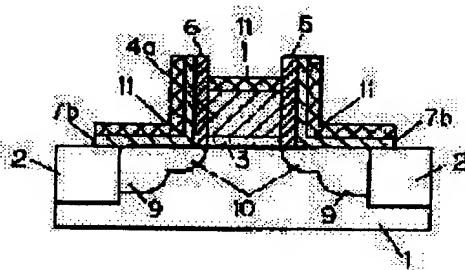
(21)Application number : 09-000510 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
(22)Date of filing : 07.01.1997 (72)Inventor : YAMASHITA KYOJI

## (54) SEMICONDUCTOR AND FABRICATION METHOD THEREOF

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a transistor in which a short channel effect is prevented from degrading.

**SOLUTION:** A shallow trench isolation 2 is formed in a p-type well 1 and an n-type doped gate electrode 4a is formed on the surface through a gate oxide 3. A thin oxide side wall 6 and an n-type doped L-shaped polysilicon 7b are deposited on the side wall of the gate electrode 4a. Furthermore, an n-type heavily doped source/drain diffusion layer is formed on the well 1 by implanting P through the L-shaped polysilicon 7b, followed by formation of an n-type shallow extension 10 through solid phase diffusion from the L-shaped polysilicon 7b, a gate electrode 4a and a silicide 11 on the L-shaped polysilicon 7b. Since a source-drain is formed through the L-shaped polysilicon 7b, diffusion depth thereof can be made shallow without relying upon low energy implantation and thereby short channel effect can be suppressed.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Japanese Unexamined Patent Application Publication No. 10-200097

[0047] Next, as shown in Fig. 3(c), the nitride film 8 is etched by anisotropic etching that selectively etches in the vertical direction until the polycrystalline silicon film 7 is exposed. A nitride sidewall 8a is thereby formed. Next, the polycrystalline silicon film 7 is etched by anisotropic etching that selectively etches in the vertical direction until the shallow trench isolation 2 and the nitride film cap 5 are exposed. Thereby, the L-shaped polysilicon film 7a is shaped into an L shape.

[0066] Next, as shown in Fig. 4(c), the nitride film 8 is etched by anisotropic etching that selectively etches in the vertical direction until the polycrystalline silicon film 7 is exposed. A nitride sidewall 8a is thereby formed. Next, the polycrystalline silicon film 7 is etched by anisotropic etching that selectively etches in the vertical direction until the shallow trench isolation 2 and the nitride film cap 5b are exposed. Thereby, the L-shaped polysilicon film 7a is shaped into an L shape.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-200097

(43)公開日 平成10年(1998)7月31日

(51)Int.Cl.\*

H 01 L 29/78

21/336

21/8238

27/092

識別記号

F I

H 01 L 29/78

27/08

29/78

3 0 1 L

3 2 1 E

3 0 1 P

審査請求 未請求 請求項の数? OL (全 10 頁)

(21)出願番号

特願平9-510

(22)出願日

平成9年(1997)1月7日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山下 勝司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

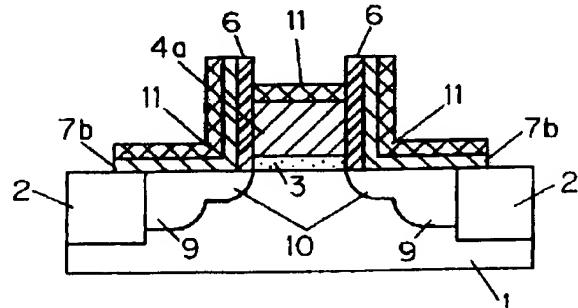
(74)代理人 弁理士 龍本 智之 (外1名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ショートチャネル効果の劣化を防止したトランジスタを提供する。

【解決手段】 p型ウェル1に浅いトレンチ分離2が形成され、また表面には、ゲート酸化膜3、n型にドープされたゲート電極4aが形成されている。ゲート電極側壁には、薄い酸化膜サイドウォール6、n型にドープされたL型多結晶シリコン膜7bが形成されている。さらに、ウェル1には、L型多結晶シリコン膜を介してP注入により形成されたn型ソース／ドレイン高濃度拡散層9、L型多結晶シリコン膜から固層拡散により形成されたn型シャロウエクステンション10、ゲート電極及びL型多結晶シリコン膜上のシリサイド膜11が形成されている。この構造により、L型シリコン膜7bを介してソース／ドレインを形成するため、低エネルギー注入を使わなくても、ソース／ドレイン領域の拡散層深さを浅くすることが可能であり、ショートチャネル効果が抑制できる。



1  
**【特許請求の範囲】**

**【請求項1】** 第1導電型の半導体基板と、前記基板の一主面に選択的に形成された素子分離領域と、前記基板の一主面に選択的に形成されたゲート酸化膜と、前記ゲート酸化膜を介して設けられたゲート電極と、前記ゲート電極の側部に形成された酸化膜サイドウォールと、前記ゲート電極の側部と前記基板の上部に形成されたL型の多結晶シリコン膜と、前記基板のソース／ドレイン領域に、第2導電型の高濃度拡散層と、浅い接合深さを有する第2導電型の高濃度拡散層とを有し、前記ゲート電極と前記多結晶シリコン膜がシリサイド化され、前記多結晶シリコン膜が前記素子分離領域の一上部にもあることを特徴とするMOS型半導体装置。

**【請求項2】** 第1導電型の半導体基板と、前記基板の一主面に選択的に形成された素子分離領域と、前記基板の一主面に選択的に形成されたゲート酸化膜と、前記ゲート酸化膜を介して設けられたゲート電極と、前記ゲート電極の上に設けられたポリサイドおよび酸化膜キャップと、前記ポリサイド、前記酸化膜キャップおよび前記ゲート電極の側部に形成された酸化膜サイドウォールと、前記ゲート電極の側部と前記基板の上部に形成されたL型の多結晶シリコン膜と、前記基板のソース／ドレイン領域に、第2導電型の高濃度拡散層と、浅い接合深さを有する第2導電型の高濃度拡散層とを有し、前記多結晶シリコン膜がシリサイド化され、前記多結晶シリコン膜が前記素子分離領域の一上部にもあることを特徴とするMOS型半導体装置。

**【請求項3】** 第1導電型の半導体基板の一主面に素子分離領域を形成する工程と、前記基板の一主面に選択的にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の一主面にゲート電極を形成する工程と、前記ゲート電極の一主面に窒化膜キャップを形成する工程と、前記窒化膜キャップおよび前記ゲート電極の両側面上に酸化膜サイドウォールを形成する工程と、前記基板および前記ゲート電極上に多結晶シリコン膜および窒化膜を順次堆積する工程と、前記窒化膜を選択的に垂直方向に強い異方性エッチングにより、前記窒化膜キャップおよび前記素子分離領域上の前記多結晶シリコン膜が露出するまでエッチングし、前記多結晶シリコン膜の周囲に窒化膜サイドウォールを形成する工程と、前記ゲート電極および前記多結晶シリコン膜上に、第2導電型のイオンを注入する工程と、熱処理により前記第2導電型のイオンを拡散、活性化させることで、第2導電型のゲート電極と第2導電型のソース／ドレイン領域を形成する工程と、前記ゲート電極および前記多結晶シリコン膜をシリサイド化する工程を備えていることを特徴とするMOS型半導体装置の製造方法。

**【請求項4】** 第1導電型の半導体基板の一主面に素子分離領域を形成する工程と、

20 前記基板の一主面に選択的にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の一主面にゲート電極を堆積する工程と、前記ゲート電極上にポリサイド膜を形成する工程と、前記ポリサイド膜上に酸化膜キャップを形成する工程と、前記酸化膜キャップ、前記ポリサイド膜および前記ゲート電極の両側面上に酸化膜サイドウォールを形成する工程と、

30 前記基板および前記ゲート電極上に多結晶シリコン膜および窒化膜を順次堆積する工程と、前記窒化膜を選択的に垂直方向に強い異方性エッチングにより、前記酸化膜キャップおよび前記素子分離領域上の前記多結晶シリコン膜が露出するまでエッチングし、前記多結晶シリコン膜の周囲に窒化膜サイドウォールを形成する工程と、前記多結晶シリコン膜を選択的に垂直方向に強い異方性エッチングにより、前記素子分離領域が露出するまでエッチングし、前記多結晶シリコン膜をL型の形状にする工程と、

40 前記窒化膜サイドウォールを選択的に等方性エッチングにより除去する工程と、前記ゲート電極および前記酸化膜キャップを介した前記ポリサイド上に、第2導電型のイオンを注入する工程と、熱処理により前記第2導電型のイオンを拡散、活性化させることで、第2導電型のゲート電極と第2導電型のソース／ドレイン領域を形成する工程と、前記多結晶シリコン膜をシリサイド化する工程を備えていることを特徴とするMOS型半導体装置の製造方法。

【請求項5】 ソース／ドレイン上のコンタクトを、前記素子分離領域上にある前記L型の多結晶シリコン膜上でとられていることを特徴とする、請求項1に記載のMOS型半導体装置

【請求項6】 前記L型の多結晶シリコン膜がゲート電極とソース／ドレインを結ぶローカル配線に利用されていることを特徴とする、請求項1に記載のMOS型半導体装置

【請求項7】 前記素子分離領域上にある前記ゲート電極の一部だけを選択的に除いた形に、レジストをバーニングし、

レジストをマスクにして、前記L型の多結晶シリコン膜を選択的に垂直方向に強い異方性エッチングにより、前記素子分離領域が露出するまでエッチングする工程とを備えていることを特徴とする、請求項3に記載のMOS型半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明はMOS型半導体装置および製造方法に関するものである。

##### 【0002】

【従来の技術】超大規模集積回路装置(VLSI)においては、高集積化及び高性能化が要求されている。これらの半導体集積回路の大部分はCMOSトランジスタと呼ばれる半導体素子で構成されている。高集積化及び高性能化のためにこれらの半導体素子の微細化が促進されている。

【0003】一方、素子の微細化に従って以下の問題点が顕在化している。(1)トランジスタのショートチャネル効果の劣化および(2)寄生抵抗の増加による駆動力の低下である。

【0004】(1)に関しては、(3)低濃度拡散層LDD(シャロウエクステンション)及び、高濃度拡散層の浅接合化、(4)デュアルゲートの採用(n型、p型トランジスタともに表面チャネル型)、(2)に関しては、(5)LDD濃度の高濃度化、(6)ソース／ドレイン領域のシリサイド化が一般的にディープサブミクロンでのCMOSに要求される。

【0005】しかしながら、(3)から(6)の実現には、非常に大きな技術的課題がある。

【0006】例えば、LDD濃度を高濃度化すれば、LDDの接合は深くなり、ショートチャネル効果は劣化する(7)。また、高濃度拡散層の浅接合化のために、n型トランジスタをAs注入により実現しようとすると、急峻なプロファイルのために、ソース／ドレイン領域の接合容量及びリーク電流が増大する(8)。

【0007】また、高濃度拡散層の浅接合化のために、n型トランジスタをAs注入により、p型トランジスタをBF2注入により実現しようとすると、n型トランジスタにおいてはゲートの空乏化が、p型トランジスタに

おいてはBイオンがゲート酸化膜を突き抜けてチャネル領域に拡散しデバイスの特性を劣化させる可能性がある。ゲート電極とソース／ドレイン領域とに不純物を別々に注入すると、この問題点は解決できるが、CMOSプロセスではマスク工程が2工程増加するためにコストの増加が大きくなる(9)。

【0008】以上の(7)から(9)までの技術的課題を解決しようとした代表的な文献として以下の2つの論文がある。

10 【0009】(a) 1995 Symposium on VLSI Technology Digest of Technical Papers p13-14 T. Yoshitomi、  
(b) I.E.E.E. 1996 I.E.D.M. Technical Digest p670-673 A. Hori。

【0010】文献(a)での構造断面図を図5に示す。図5において、1Aはn型ウエル、2は浅いトレンチ分離、3はゲート酸化膜、4a Aはn型にドープされたゲート電極、5は窒化膜キャップ、6Aは薄い窒化膜サイドウォール、7Aはp型にドープされたシリコンサイドウォール、9AはBF2注入により形成されたp型ソース／ドレイン高濃度拡散層、10Aはシリコンサイドウォールから固層拡散により形成されたp型シャロウエクステンション、11Aはp型ソース／ドレイン領域及び多結晶シリコンサイドウォール上のシリサイド膜である。

20 【0011】図5において特徴的なことは、7A、9Aと11Aから構成されるシリサイド・シリコンサイドウォール・ソース／ドレイン構造である。シリコンサイドウォールからのBの固層拡散によりソース／ドレインのシャロウエクステンションを形成するために、非常に浅くできる。

30 【0012】またシリコンサイドウォールが自己整合的にソース／ドレイン上に積み上げられ、さらにシリサイドがシリコン側壁の上についているためソース／ドレインの抵抗を大きく低減することができた。この構造を用いてショートチャネル効果を抑制しつつ、高駆動力を有するゲート長75nmのpMOSFETが実現できた。

【0013】文献(b)での構造断面図を図6に示す。図6において、1はp型ウエル、2は浅いトレンチ分離、3はゲート酸化膜、4aはn型にドープされたゲー

40 ト電極、6Bは厚い酸化膜サイドウォール、9BはP注入により形成されたn型ソース／ドレイン高濃度拡散層、10BはAs注入により形成されたn型シャロウエクステンション、11Bはゲート電極及びn型ソース／ドレイン領域上のシリサイド膜である。

【0014】図6において特徴的なことは、P注入を用いることによりゲート注入とソース／ドレイン高濃度拡散層を形成しているところである。これにより従来デュアルゲートで問題であったNchでのゲート空乏化が解決され、高駆動力な特性を実現している。また従来のAs注入に比較してソース／ドレイン領域の接合容量及

びリーク電流の低減も図られている。

#### 【0015】

【発明が解決しようとする課題】しかしながら文献

(a)においては、以下のような問題がある。(1)シリコンサイドウォール形成の際に、シリコン基板との選択比が全くとれない。(2)ゲートとシリコンサイドウォールの間に比誘電率が高い窒化膜があるために、ゲートドレイン間容量が増加し、回路性能が劣化する。

(3)ゲートとシリコンサイドウォールの距離が非常に短いため、ゲートとソース／ドレイン領域が同時にシリサイド化された構造サリサイドへの適用は難しい(ゲートとソース／ドレイン領域が短絡する可能性が大きい)。(4)CMOSで用いる場合を考えると、シリコンサイドウォールへのドーピングは注入で行う必要がある。このときシリコンサイドウォールとゲート電極の高さは同じ、すなわちBイオンの拡散距離は同じであるので、シリコンサイドウォールからのBの固層拡散により、ソース／ドレインのシャロウエクステンションを形成すると、Bイオンがゲート酸化膜を突き抜ける可能性が大きくなる。

【0016】また文献(b)においては、以下のような問題がある。(5)低エネルギー(約5keV)の注入を行うために、スループットが大きく低下し、コストの増加が大きくなる。さらに文献(a)と文献(b)に共通する問題として、(6)ショートチャネル効果の抑制のためには、ある程度の幅のサイドウォール幅(高濃度拡散層)が必要になり、またサリサイドのマージンを考慮すると、ゲート端と素子分離領域の距離は、世代が進んでも、あまりスケーリングされない。

【0017】従って本発明は上記問題点を解決し、微細CMOSにおいて、トランジスタのショートチャネル効果の劣化、寄生抵抗の増加による駆動力の低下の抑制を図ることにある。

#### 【0018】

【課題を解決するための手段】請求項1に記載のMOS型半導体装置は、第1導電型の半導体基板と、前記基板の一主面に選択的に形成された素子分離領域と、前記基板の一主面に選択的に形成されたゲート酸化膜と、前記ゲート酸化膜を介して設けられたゲート電極と、前記ゲート電極の側部に形成された酸化膜サイドウォールと、前記ゲート電極の側部と前記基板の上部に形成されたL型の多結晶シリコン膜と、前記基板のソース／ドレイン領域に、第2導電型の高濃度拡散層と、浅い接合深さを有する第2導電型の高濃度拡散層とを有し、前記ゲート電極と前記多結晶シリコン膜がシリサイド化され、前記多結晶シリコン膜が前記素子分離領域の一上部にもあることを特徴とする。

【0019】請求項2に記載のMOS型半導体装置は、第1導電型の半導体基板と、前記基板の一主面に選択的に形成された素子分離領域と、前記基板の一主面に選択

的に形成されたゲート酸化膜と、前記ゲート酸化膜を介して設けられたゲート電極と、前記ゲート電極の上に設けられたポリサイドおよび酸化膜キャップと、前記ポリサイド、前記酸化膜キャップおよび前記ゲート電極の側部に形成された酸化膜サイドウォールと、前記ゲート電極の側部と前記基板の上部に形成されたL型の多結晶シリコン膜と、前記基板のソース／ドレイン領域に、第2導電型の高濃度拡散層と、浅い接合深さを有する第2導電型の高濃度拡散層とを有し、前記多結晶シリコン膜がシリサイド化され、前記多結晶シリコン膜が前記素子分離領域の一上部にもあることを特徴とする。

【0020】請求項3に記載のMOS型半導体装置の製造方法は、第1導電型の半導体基板の一主面に素子分離領域を形成する工程と、前記基板の一主面に選択的にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の一主面にゲート電極を形成する工程と、前記ゲート電極の一主面に窒化膜キャップを形成する工程と、前記窒化膜キャップおよび前記ゲート電極の両側面上に酸化膜サイドウォールを形成する工程と、前記基板および前記ゲート電極上に多結晶シリコン膜および窒化膜を順次堆積する工程と、前記窒化膜を選択的に垂直方向に強い異方性エッティングにより、前記窒化膜キャップおよび前記素子分離領域上の前記多結晶シリコン膜が露出するまでエッティングし、前記多結晶シリコン膜の周囲に窒化膜サイドウォールを形成する工程と、前記多結晶シリコン膜を選択的に垂直方向に強い異方性エッティングにより、前記素子分離領域および前記窒化膜キャップが露出するまでエッティングし、前記多結晶シリコン膜をL型の形状にする工程と、前記窒化膜キャップおよび前記窒化膜サイドウォールを選択的に等方性エッティングにより除去する工程と、前記ゲート電極および前記多結晶シリコン膜上に、第2導電型のイオンを注入する工程と、熟処理により前記第2導電型のイオンを拡散、活性化させることで、第2導電型のゲート電極と第2導電型のソース／ドレイン領域を形成する工程と、前記ゲート電極および前記多結晶シリコン膜をシリサイド化する工程を備えていることを特徴とする。

【0021】請求項4に記載のMOS型半導体装置の製造方法は、第1導電型の半導体基板の一主面に素子分離領域を形成する工程と、前記基板の一主面に選択的にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の一主面にゲート電極を堆積する工程と、前記ゲート電極上にポリサイド膜を形成する工程と、前記ポリサイド膜上に酸化膜キャップを形成する工程と、前記酸化膜キャップ、前記ポリサイド膜および前記ゲート電極の両側面上に酸化膜サイドウォールを形成する工程と、前記基板および前記ゲート電極上に多結晶シリコン膜および窒化膜を順次堆積する工程と、前記窒化膜を選択的に垂直方向に強い異方性エッティングにより、前記酸化膜キャップおよび前記素子分離領域上の前記多結晶シリコン膜が露出

するまでエッチングし、前記多結晶シリコン膜の周囲に塗化膜サイドウォールを形成する工程と、前記多結晶シリコン膜を選択的に垂直方向に強い異方性エッチングにより、前記素子分離領域が露出するまでエッチングし、前記多結晶シリコン膜をL型の形状にする工程と、前記塗化膜サイドウォールを選択的に等方性エッチングにより除去する工程と、前記ゲート電極および前記酸化膜キャップを介した前記ポリサイド上に、第2導電型のイオンを注入する工程と、熱処理により前記第2導電型のイオンを拡散、活性化させることで、第2導電型のゲート電極と第2導電型のソース／ドレイン領域を形成する工程と、前記多結晶シリコン膜をシリサイド化する工程を備えていることを特徴とする。

【0022】請求項5に記載のMOS型半導体装置は、請求項1に記載のMOS型半導体装置において、ソース／ドレイン上のコンタクトを、前記素子分離領域上にある前記L型の多結晶シリコン膜上でとられていることを特徴とする。

【0023】請求項6に記載のMOS型半導体装置は、請求項1に記載のMOS型半導体装置において、前記L型の多結晶シリコン膜がゲート電極とソース／ドレインを結ぶローカル配線に利用されていることを特徴とする。

【0024】請求項7に記載のMOS型半導体装置の製造方法は、請求項3に記載のMOS型半導体装置の製造方法において、前記素子分離領域上にある前記ゲート電極の一部だけを選択的に除いた形に、レジストをバーニングし、レジストをマスクにして、前記L型の多結晶シリコン膜を選択的に垂直方向に強い異方性エッチングにより、前記素子分離領域が露出するまでエッチングする工程とを備えていることを特徴とする。

#### 【0025】

【発明の実施の形態】以下本発明の実施例の半導体装置について、図面を参照しながら説明する。

【0026】(実施例1) 図1は、本発明の第1の実施例におけるMOS型半導体装置を示す断面図である。ここではn型MOSトランジスタだけを図面で説明する。

【0027】図1において、1はp型ウエル、2は浅いトレンチ分離、3はゲート酸化膜、4bは(ポリサイドを介して)n型にドープされたゲート電極、5aはポリサイド、5bは酸化膜キャップ、6は薄い酸化膜サイドウォール、7bはn型にドープされたL型多結晶シリコン膜、9はL型多結晶シリコン膜を介してP注入により形成されたn型ソース／ドレイン高濃度拡散層、10はL型多結晶シリコン膜から固層拡散により形成されたn型シャロウエクステンション、11はゲート電極及びL型多結晶シリコン膜上のシリサイド膜である。

【0028】本発明のnチャネルMOS型トランジスタは、L型多結晶シリコン膜7bを介してソース／ドレインを形成するため、通常のPイオンの注入、すなわち低エネルギー注入を使わなくても、ソース／ドレイン領域

の拡散層深さを浅くすることが可能であり、スループットが大きく低下されることなく(コストの大幅な増加無し)ショートチャネル効果が抑制できる。

【0029】またPイオンが注入されなかつたソース／ドレイン領域では、L型多結晶シリコン膜7bからPイオンを固層拡散させ、高濃度かつ浅接合なシャロウエクステンションを形成するために、寄生抵抗を低く、ショートチャネル効果を抑制できる。

【0030】また、Pイオンの注入によって形成された10 n型ゲート電極4aを有するため、従来のAsイオンを用いて形成されたn型ゲート電極と比べてゲート電極の空乏化が起こらず、nチャネルMOS型トランジスタの駆動力が高くなる。

【0031】また、拡散層のプロファイルはなだらかに形成されるのでリーク電流及び接合容量の低減と信頼性の向上が可能となる。

【0032】またゲートとシリコンサイドウォールの間には塗化膜の約1/2の比誘電率である酸化膜があるために、塗化膜の場合ほどのゲートドレイン間容量の増加20はなく、回路性能はそれほど劣化しない。

【0033】またL型多結晶シリコン膜7bが自己整合的にソース／ドレイン上に積み上げられた形になっており、さらにシリサイドがL型多結晶シリコン膜7bの上についているため、ソース／ドレインの抵抗を大きく低減することができる。従って、n型ソース／ドレイン高濃度拡散層9領域の大きさ(幅)はあまり問題にならず、シリサイドのためのゲート端と素子分離領域の距離のマージンは非常に小さくなる。さらに塗化膜サイドウォール8aの幅を大きくすることで、シリコン基板がエッチングされないためのゲート端と素子分離領域の距離のマージンも小さくできる。

【0034】(実施例2) 図2は、本発明の第2の実施例におけるMOS型半導体装置を示す断面図である。ここではn型MOSトランジスタだけを図面で説明する。

【0035】図2において、1はp型ウエル、2は浅いトレンチ分離、3はゲート酸化膜、4bは(ポリサイドを介して)n型にドープされたゲート電極、5aはポリサイド、5bは酸化膜キャップ、6は薄い酸化膜サイドウォール、7bはn型にドープされたL型多結晶シリコン膜、9はL型多結晶シリコン膜を介してP注入により形成されたn型ソース／ドレイン高濃度拡散層、10はL型多結晶シリコン膜から固層拡散により形成されたn型シャロウエクステンション、11はゲート電極及びL型多結晶シリコン膜上のシリサイド膜である。

【0036】本発明のnチャネルMOS型トランジスタは、L型多結晶シリコン膜7bを介してソース／ドレインを形成するため、通常のPイオンの注入、すなわち低エネルギー注入を使わなくても、ソース／ドレイン領域の拡散層深さを浅くすることが可能であり、スループットが大きく低下されることなく(コストの大幅な増加無

しに) ショートチャネル効果が抑制できる。

【0037】またPイオンが注入されなかったソース／ドレイン領域では、L型多結晶シリコン膜7bからPイオンを固層拡散させ、高濃度かつ浅接合なシャロウエクステンションを形成するために、寄生抵抗を低く、ショートチャネル効果を抑制できる。

【0038】また、Pイオンの注入によって形成されたn型ゲート電極4aを有するため、従来のAsイオンを用いて形成されたn型ゲート電極と比べてゲート電極の空乏化が起らず、nチャネルMOS型トランジスタの駆動力が高くなる。

【0039】また、拡散層のプロファイルはなだらかに形成されるのでリーク電流及び接合容量の低減と信頼性の向上が可能となる。

【0040】またゲートとシリコンサイドウォールの間には窒化膜の約1/2の比誘電率である酸化膜があるために、窒化膜の場合ほどのゲートドレイン間容量の増加はなく、回路性能はそれほど劣化しない。

【0041】またL型多結晶シリコン膜7bが自己整合的にソース／ドレイン上に積み上げられた形になっており、さらにシリサイドがL型多結晶シリコン膜7bの上についているため、ソース／ドレインの抵抗を大きく低減することができる。従って、n型ソース／ドレイン高濃度拡散層9領域の大きさ(幅)はあまり問題にならず、シリサイドのためのゲート端と素子分離領域の距離のマージンは非常に小さくなる。さらに窒化膜サイドウォール8aの幅を大きくすることで、シリコン基板がエッチングされないためのゲート端と素子分離領域の距離のマージンも小さくできる。

【0042】実施例1に比較すると、本発明ではゲート上をシリサイド化する必要がないために、薄い酸化膜サイドウォール6の幅を薄くすることができる。従ってシャロウエクステンションの接合深さを極端に浅くしても、ソース／ドレインがオフセットされる心配はなく、ショートチャネルに非常に強く、高駆動力なトランジスタが実現できる。

【0043】以下本発明の実施例の半導体装置の製造方法について、図面を参照しながら説明する。

【0044】(実施例3) 図3(a)～(e)は、本発明の第3の実施例におけるMOS型半導体装置の製造工程を示す断面図である。ここではn型MOSトランジスタの製造工程だけを図面で説明する。

【0045】まず図3(a)に示すように、p型ウエル1上の素子分離領域に、深さ400nm程度の浅いトレンチ分離2を形成する。つぎに、p型ウエル1上に膜厚が4～6nmのシリコン酸化膜からなるゲート酸化膜3と、膜厚が200nm程度のゲート電極4を形成する。つぎに膜厚が100nm程度の窒化膜キャップ5を形成する。さらに膜厚が20nm程度の薄い酸化膜サイドウォール6を形成する。

【0046】次に図3(b)に示すように、膜厚が100nm程度の多結晶シリコン膜7、膜厚が200nm程度の窒化膜8を順次堆積させる。

【0047】次に図3(c)に示すように、窒化膜8を選択的に垂直方向に強い異方性エッティングにより、多結晶シリコン膜7が露出するまでエッティングし、窒化膜サイドウォール8aを形成する。さらに多結晶シリコン膜7を選択的に垂直方向に強い異方性エッティングにより、浅いトレンチ分離2及び窒化膜キャップ5が露出するまでエッティングし、L型多結晶シリコン膜7aをL型の形状にする。

【0048】次に図3(d)に示すように、窒化膜キャップ5および窒化膜サイドウォール8aを選択的に等方性エッティングにより除去する。さらにゲート電極4およびL型多結晶シリコン膜7a上に、Pイオン(P+)をイオン注入することにより、ゲート電極4a、L型多結晶シリコン膜7bがn型にドープされる。注入条件は、加速エネルギーが5～15KeV、注入量が2～8×10<sup>15</sup>cm<sup>-2</sup>の範囲である。このときL型多結晶シリコン膜7bの膜厚が100nmのところでは、PイオンがL型多結晶シリコン膜7bを突き抜けて、p型ウエル1まで達して、n型ソース／ドレイン高濃度拡散層9が形成される。このときp型ウエル1でのn型ソース／ドレイン高濃度拡散層9の表面濃度は2～8×10<sup>19</sup>cm<sup>-3</sup>の範囲である。

【0049】次に図3(e)に示すように、1000℃、10秒間の熱処理を行い、ゲート電極4a、L型多結晶シリコン膜7bおよびn型ソース／ドレイン高濃度拡散層9のPイオンを活性化、拡散させる。このときにもともとPイオンが注入されていなかったソース／ドレイン領域に、L型多結晶シリコン膜7bからPイオンが固層拡散され、n型シャロウエクステンション10が形成される。このときn型シャロウエクステンション10の接合深さは50nm程度である。

【0050】ゲート電極4aおよびL型多結晶シリコン膜7bをシリサイド化することで、シリサイド膜11を形成する。例えばシリサイドの方法としては、Co膜を20nmから40nmの膜厚の範囲で、スペッタリング法により堆積させる。次に450℃、30分間、および750℃、30秒間の2段階の熱処理を行ないCo膜とSiのシリサイドCoSiを形成する。さらにシリサイドされなかったCo膜をフッ酸系のエッティング液でウエットエッティングする。

【0051】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0052】一方、p型MOSトランジスタでは、フッ素イオン(B+)を注入することで、p型ゲート電極およびp型ソース／ドレイン領域を形成する。注入条件は、加速エネルギーが5～15KeV、注入量が2～8

$\times 10^{-15} \text{ cm}^{-2}$ である。

【0053】以上の工程を経て製造されたnチャネルMOS型トランジスタは、L型多結晶シリコン膜7aを介してソース／ドレインを形成するため、通常のPイオンの注入、すなわち低エネルギー注入を使わなくても、ソース／ドレイン領域の拡散層深さを浅くすることが可能であり、スループットが大きく低下させることなく（コストの大幅な増加無しに）ショートチャネル効果が抑制できる。

【0054】またPイオンが注入されなかったソース／ドレイン領域では、L型多結晶シリコン膜7bからPイオンを固層拡散させ、高濃度かつ浅接合なシャロウエクステンションを形成できるために、寄生抵抗を低く、ショートチャネル効果を抑制できる。

【0055】また、Pイオンの注入によって形成されたn型ゲート電極4aを有するため、従来のAsイオンを用いて形成されたn型ゲート電極と比べてゲート電極の空乏化が起こらず、nチャネルMOS型トランジスタの駆動力が高くなる。

【0056】また、拡散層のプロファイルはなだらかに形成されるのでリーク電流及び接合容量の低減と信頼性の向上が可能となる。

【0057】さらに、文献(a)と比較すると、多結晶シリコン膜7をエッティングする際に、浅いトレンチ分離2及び塗化膜キャップ5がエッティングストップになるために、シリコン基板との選択比がとれないというような問題は生じない。

【0058】またゲートとシリコンサイドウォールの間には塗化膜の約1/2の比誘電率である酸化膜があるために、塗化膜の場合ほどのゲートドレイン間容量の増加ではなく、回路性能はそれほど劣化しない。

【0059】またL型多結晶シリコン膜7bが自己整合的にソース／ドレイン上に積み上げられた形になっており、さらにシリサイドがL型多結晶シリコン膜7bの上についているため、ソース／ドレインの抵抗を大きく低減することができる。従って、n型ソース／ドレイン高濃度拡散層9領域の大きさ（幅）はあまり問題にならず、シリサイドのためのゲート端と素子分離領域の距離のマージンは非常に小さくなる。さらに塗化膜サイドウォール8aの幅を大きくすることで、シリコン基板がエッティングされないためのゲート端と素子分離領域の距離のマージンも小さくできる。

【0060】またp型MOSトランジスタでは、L型多結晶シリコン膜7bからゲート端までのBイオンの拡散距離はゲート電極の高さからゲート酸化膜までの距離の半分程度であるので、Bイオンがゲート酸化膜を突き抜ける可能性が非常に小さい。

【0061】また塗化膜キャップ5および塗化膜サイドウォール8aを同時にエッティングすることで、L型多結晶シリコン膜7bとゲート電極4aの距離が長くできる

ため、ゲートとソース／ドレイン領域が同時にシリサイド化された構造シリサイドへの適用が可能である。

【0062】（実施例4）以下本発明の実施例の半導体装置の製造方法について、図面を参照しながら説明する。

【0063】図4(a)～(e)は、本発明の第4の実施例におけるMOS型半導体装置の製造工程を示す断面図である。ここではn型MOSトランジスタの製造工程だけを図面で説明する。

10 【0064】まず図4(a)に示すように、p型ウエル1上の素子分離領域に、深さ400nm程度の深いトレンチ分離2を形成する。つぎに、p型ウエル1上に膜厚が4～6nmのシリコン酸化膜からなるゲート酸化膜3と、膜厚が200nm程度のゲート電極4を形成する。つぎに膜厚が100nm程度のポリサイド5a、膜厚が30nm程度の酸化膜キャップ5bを順次形成する。さらに膜厚が20nm程度の薄い酸化膜サイドウォール6を形成する。

【0065】次に図4(b)に示すように、膜厚が1020nm程度の多結晶シリコン膜7、膜厚が200nm程度の塗化膜8を順次堆積させる。

【0066】次に図4(c)に示すように、塗化膜8を選択的に垂直方向に強い異方性エッティングにより、多結晶シリコン膜7が露出するまでエッティングし、塗化膜サイドウォール8aを形成する。さらに多結晶シリコン膜7を選択的に垂直方向に強い異方性エッティングにより、深いトレンチ分離2及び酸化膜キャップ5bが露出するまでエッティングし、L型多結晶シリコン膜7aをL型の形状にする。  
7/2

30 【0067】次に図4(d)に示すように、塗化膜サイドウォール8aを選択的に等方性エッティングにより除去する。さらに酸化膜キャップ5bごとにポリサイド5aおよびL型多結晶シリコン膜7a上に、Pイオン(P+)をイオン注入することにより、ポリサイド5b、L型多結晶シリコン膜7bがn型にドープされる。注入条件は、加速エネルギーが5～15keV、注入量が $2\sim8\times10^{15} \text{ cm}^{-2}$ の範囲である。このときL型多結晶シリコン膜7bの膜厚が100nmのところでは、PイオンがL型多結晶シリコン膜7bを突き抜けて、p型ウエル1まで達して、n型ソース／ドレイン高濃度拡散層9が形成される。このときp型ウエル1でのn型ソース／ドレイン高濃度拡散層9の表面濃度は $2\sim8\times10^{19} \text{ cm}^{-3}$ の範囲である。

【0068】次に図4(e)に示すように、1000°C、10秒間の熱処理を行い、ポリサイド5aからゲート電極4bに、Pイオンを拡散させ、またゲート電極4b、L型多結晶シリコン膜7bおよびn型ソース／ドレイン高濃度拡散層9のPイオンを活性化、拡散させる。このときにもともとPイオンが注入されていなかったソース／ドレイン領域に、L型多結晶シリコン膜7bから

Pイオンが固層拡散され、n型シャロウエクステンション10が形成される。このときn型シャロウエクステンション10の接合深さは50nm程度である。

【0069】L型多結晶シリコン膜7bをシリサイド化することで、シリサイド膜11aを形成する。例えばシリサイドの方法としては、Co膜を20nmから40nmの膜厚の範囲で、スパッタリング法により堆積させる。次に450°C、30分間、および750°C、30秒間の2段階の熱処理を行ないCo膜とSiのシリサイドCoSiを形成する。さらにシリサイドされなかったCo膜をフッ酸系のエッティング液でウェットエッティングする。

【0070】以下の工程は省略するが、層間絶縁膜を介して何層かの金属配線を形成することで、半導体装置が形成される。

【0071】一方、p型MOSトランジスタでは、フッ素イオン(B+)を注入することで、p型ゲート電極およびp型ソース/ドレイン領域を形成する。注入条件は、加速エネルギーが5~15KeV、注入量が $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$ である。

【0072】以上の工程を経て製造されたnチャネルMOS型トランジスタは、L型多結晶シリコン膜7aを介してソース/ドレインを形成するため、通常のPイオンの注入、すなわち低エネルギー注入を使わなくても、ソース/ドレイン領域の拡散層深さを浅くすることが可能であり、スループットが大きく低下されることなく(コストの大幅な増加無しに)ショートチャネル効果が抑制できる。

【0073】またPイオンが注入されなかったソース/ドレイン領域では、L型多結晶シリコン膜7bからPイオンを固層拡散させ、高濃度かつ浅接合なシャロウエクステンションを形成するために、寄生抵抗を低く、ショートチャネル効果を抑制できる。

【0074】また、Pイオンの注入によって形成されたn型ゲート電極4aを有するため、従来のAsイオンを用いて形成されたn型ゲート電極と比べてゲート電極の空乏化が起こらず、nチャネルMOS型トランジスタの駆動力が高くなる。

【0075】また、拡散層のプロファイルはなだらかに形成されるのでリーク電流及び接合容量の低減と信頼性の向上が可能となる。

【0076】さらに、文献(a)と比較すると、多結晶シリコン膜7をエッティングする際に、浅いトレンチ分離2及び窒化膜キャップ5がエッティングストップになるために、シリコン基板との選択比がとれないというような問題は生じない。

【0077】またゲートとシリコンサイドウォールの間には窒化膜の約1/2の比誘電率である酸化膜があるために、窒化膜の場合ほどのゲートドレイン間容量の増加はなく、回路性能はそれほど劣化しない。

【0078】またL型多結晶シリコン膜7bが自己整合的にソース/ドレイン上に積み上げられた形になっており、さらにシリサイドがL型多結晶シリコン膜7bの上についているため、ソース/ドレインの抵抗を大きく低減することができる。従って、n型ソース/ドレイン高濃度拡散層9領域の大きさ(幅)はあまり問題にならず、シリサイドのためのゲート端と素子分離領域の距離のマージンは非常に小さくなる。さらに窒化膜サイドウォール8aの幅を大きくすることで、シリコン基板がエッチングされないためのゲート端と素子分離領域の距離のマージンも小さくできる。

【0079】またp型MOSトランジスタでは、L型多結晶シリコン膜7bからゲート端までのBイオンの拡散距離はゲート電極の高さからゲート酸化膜までの距離の半分程度であるので、Bイオンがゲート酸化膜を突き抜ける可能性が非常に小さい。

【0080】実施例3に比較すると、本発明ではゲート上をシリサイド化する必要がないために、薄い酸化膜サイドウォール6の幅を薄くすることができる。従ってシリロウエクステンションの接合深さを極端に浅くしても、ソース/ドレインがオフセットされる心配はなく、ショートチャネルに非常に強く、高駆動力なトランジスタが実現できる。

#### 【0081】

【発明の効果】以上のように本発明では、L型多結晶シリコン膜を介してソース/ドレインを形成するため、通常のPイオンの注入、すなわち低エネルギー注入を使わなくても、ソース/ドレイン領域の拡散層深さを浅くすることが可能であり、スループットが大きく低下されることなく(コストの大幅な増加無しに)ショートチャネル効果が抑制できる。

【0082】またPイオンが注入されなかったソース/ドレイン領域では、L型多結晶シリコン膜からPイオンを固層拡散させ、高濃度かつ浅接合なシャロウエクステンションを形成するために、寄生抵抗を低く、ショートチャネル効果を抑制できる。

【0083】また、Pイオンの注入によって形成されたn型ゲート電極を有するため、従来のAsイオンを用いて形成されたn型ゲート電極と比べてゲート電極の空乏化が起こらず、nチャネルMOS型トランジスタの駆動力が高くなる。

【0084】また、拡散層のプロファイルはなだらかに形成されるのでリーク電流及び接合容量の低減と信頼性の向上が可能となる。

【0085】さらに、文献(a)と比較すると、多結晶シリコン膜7をエッティングする際に、浅いトレンチ分離及び窒化膜キャップがエッティングストップになるために、シリコン基板との選択比がとれないというような問題は生じない。

50 【0086】またゲートとシリコンサイドウォールの間

には窒化膜の約1/2の比誘電率である酸化膜があるために、窒化膜の場合ほどのゲートドレイン間容量の増加はなく、回路性能はそれほど劣化しない。

【0087】またL型多結晶シリコン膜が自己整合的にソース／ドレイン上に積み上げられた形になっており、さらにシリサイドがL型多結晶シリコン膜の上についているため、ソース／ドレインの抵抗を大きく低減することができる。従って、n型ソース／ドレイン高濃度拡散層領域の大きさ（幅）はあまり問題にならず、シリサイドのためのゲート端と素子分離領域の距離のマージンは非常に小さくなる。さらに窒化膜サイドウォールの幅を大きくすることで、シリコン基板がエッチングされないためのゲート端と素子分離領域の距離のマージンも小さくできる。

【0088】またp型MOSトランジスタでは、L型多結晶シリコン膜からゲート端までのBイオンの拡散距離はゲート電極の高さからゲート酸化膜までの距離の半分程度であるので、Bイオンがゲート酸化膜を突き抜ける可能性が非常に小さい。

【0089】また窒化膜キャップおよび窒化膜サイドウォールを同時にエッチングすることで、L型多結晶シリコン膜とゲート電極の距離が長くできるため、ゲートとソース／ドレイン領域が同時にシリサイド化された構造シリサイドへの適用が可能である。

【0090】またゲートがポリサイドの構成においては、ゲート上をシリサイド化する必要がないために、薄い酸化膜サイドウォールの幅を薄くすることができる。従ってシャロウエクステンションの接合深さを極端に浅くしても、ソース／ドレインがオフセットされる心配はなく、ショートチャネルに非常に強く、高駆動力なトランジスタが実現できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例におけるMOS型半導体装置を示す断面図

【図2】本発明の第2の実施例におけるMOS型半導体装置を示す断面図

【図3】本発明の第3の実施例におけるMOS型半導体装置の製造工程を示す断面図

【図4】本発明の第4の実施例におけるMOS型半導体装置の製造工程を示す断面図

【図5】第1の従来例におけるMOS型半導体装置を示す断面図

【図6】第2の従来例におけるMOS型半導体装置を示す断面図

#### す断面図

##### 【符号の説明】

1 p型ウエル

1A n型ウエル

2 浅いトレンチ分離

3 ゲート酸化膜

4 ゲート電極

4a (n型にドープされた) ゲート電極

4b (ポリサイドを介してn型にドープされた) ゲート電極

10

4aA (p型にドープされた) ゲート電極

5 窒化膜キャップ

5a ポリサイド

5b 酸化膜キャップ

6 薄い酸化膜サイドウォール

6A 薄い窒化膜サイドウォール

6B 厚い酸化膜サイドウォール

7 多結晶シリコン膜

7a L型多結晶シリコン膜

20 7b (n型にドープされた) L型多結晶シリコン膜

7A (p型にドープされた) シリコンサイドウォール

8 窒化膜

8a 窒化膜サイドウォール

9 (L型多結晶シリコン膜を介してP注入により形成された) n型ソース／ドレイン高濃度拡散層

9A (BF2注入により形成された) p型ソース／ドレイン高濃度拡散層

9B (P注入により形成された) n型ソース／ドレイン高濃度拡散層

30 10 (L型多結晶シリコン膜から固層拡散により形成された) n型シャロウエクステンション

10A (シリコンサイドウォールから固層拡散により形成された) p型シャロウエクステンション

10B (As注入により形成された) n型シャロウエクステンション

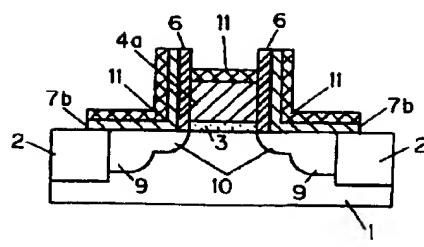
11 (ゲート電極及びL型多結晶シリコン膜上の) シリサイド膜

11a (L型多結晶シリコン膜上の) シリサイド膜

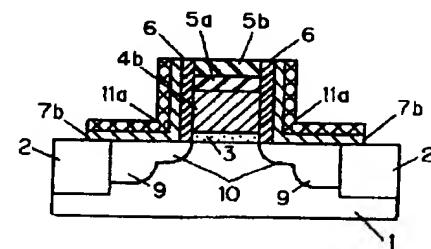
11A (p型ソース／ドレイン領域及び多結晶シリコンサイドウォール上の) シリサイド膜

40 11B (ゲート電極及びn型ソース／ドレイン領域上の) シリサイド膜

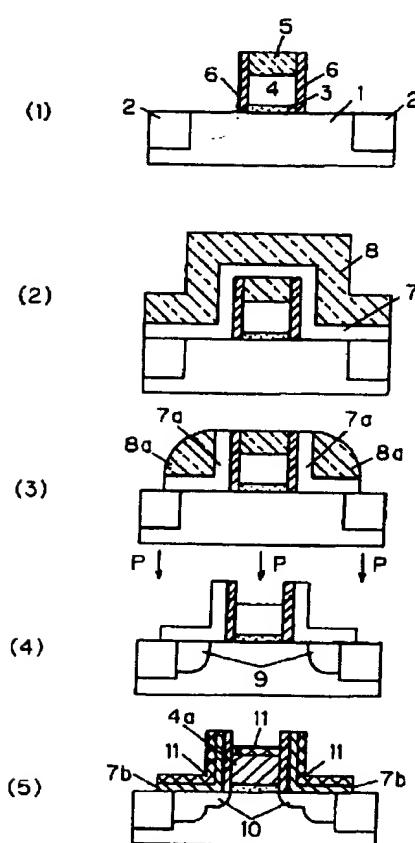
【図1】



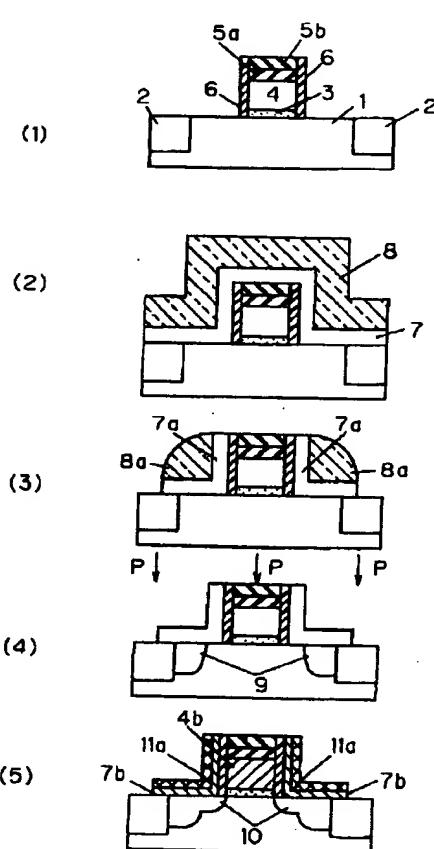
【図2】



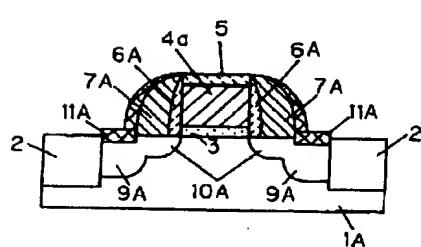
【図3】



【図4】



【図5】



【図6】

